

15009

# BEST AVAILABLE COPY

13 E 150

(54) FORMING METHOD FOR V-SHAPED ISOLATION REGION

(11) 57-159038 VA (43) 1.10.1982 (19) JP

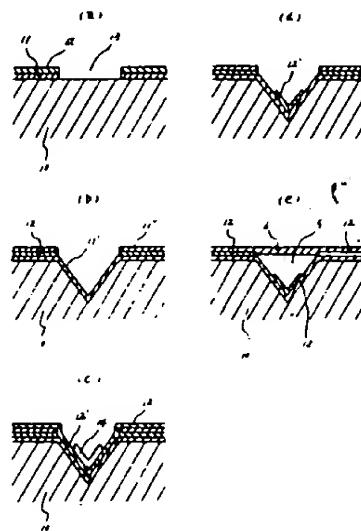
(21) Appl. No. 56-43800 (22) 25.3.1981

(71) FUJITSU K.K. (72) TAKESHI FUKUDA(1)

(51) Int. Cl. H01L21/76, H01L21/302, H01L21/318

**PURPOSE:** To obtain a preferable isolation region by forming a groove of V-shape in section in a depth reaching a P type semiconductor region in a semiconductor substrate, sequentially forming an  $\text{SiO}_2$  film and an  $\text{Si}_2\text{N}_4$  film on the side wall of the V-shaped groove, remaining the  $\text{Si}_2\text{N}_4$  film only on the bottom of the groove and filling polysilicon in the groove.

**CONSTITUTION:** An  $\text{SiO}_2$  film 11 and an  $\text{Si}_2\text{N}_4$  film 12 are covered on the surface of an Si substrate 10, a V-shaped groove forming window 13 is opened, a V-shaped groove is formed by etching, an  $\text{SiO}_2$  film 11' is covered on the surface of the groove, and a CVD  $\text{SiO}_2$  film is formed on the film 12. Then,  $\text{SiO}_2$ ,  $\text{Si}_2\text{N}_4$ , CVD  $\text{SiO}_2$  layers are patterned, an  $\text{Si}_2\text{N}_4$  film 12' is covered on the overall surface of the substrate, a photoresist 14 is formed on the bottom of the groove, with the photoresist 14 as a mask the film 12' is formed on the bottom of the groove, polysilicon is buried in the groove, and an  $\text{SiO}_2$  film is covered on the surface. In this manner, the production of N-channel in the groove isolation of polysilicon filling type can be prevented.



15009

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭57-159038

⑫ Int. Cl. <sup>3</sup> H 01 L 21/76 21/302 21/318	識別記号	府内整理番号 8122-5F 7131-5F 7739-5F	⑬ 公開 昭和57年(1982)10月1日 発明の数 1 審査請求 未請求
---	------	---	---

(全 3 頁)

⑭ V字型分離領域の形成方法

⑮ 特 願 昭56-43800  
 ⑯ 出 願 昭56(1981)3月25日

⑰ 発明者 福田猛  
 川崎市中原区上小田中1015番地  
 富士通株式会社内

⑱ 発明者 田中和夫

川崎市中原区上小田中1015番地  
 富士通株式会社内

⑲ 出願人 富士通株式会社  
 川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

V字型分離領域の形成方法

2.特許請求の範囲

半導体基板に断面V字型の溝を少なくともp型の半導体領域に至る深さに形成した後、該V溝の側壁上に酸化珪素膜、脱化珪素膜を順次形成し、次いで該V溝底部近傍のみを掩して前記V溝内酸化珪素膜を除去した後、多結晶シリコンでV溝内を充填する工程を有することを特徴とするV字型分離領域の形成方法。

3. 発明の詳細な説明

本発明は半導体基板上のV型アイソレーション領域の形成に関するもので、特にV溝底部に形成するp型基板領域にp型反転層を生ぜしめることの無いV型アイソレーション領域の形成に関するものである。

主にバイポーラ型素子回路の形成に於て、(100)面を主表面とする基板結晶に<110>方向に断面V字型の溝を形成することが行なわれる。このV

溝は基板表面のp型層を分離するのが目的であるから、その下のp型領域にまで到達する深さに形成される。

一方、基板表面を平坦にする為、このV溝は多結晶シリコン(以下ポリSiと略記)で充填されるが、V溝底部とポリSiとの間に二酸化珪素(SiO<sub>2</sub>)膜が設けられる。

このような構造では、p型基板に接するSiO<sub>2</sub>膜がNa<sup>+</sup>イオンで汚染されるとp型領域にp型反転層が生じ、各量子領域間の分離が不完全なものになる。これを防ぐ方法として、V溝底部に接する領域をp<sup>+</sup>型とし、反転層の発生を避けるという方法もあるが、より簡便な方法として、V溝内のSiO<sub>2</sub>膜表面を酸化珪素(Si<sub>x</sub>N<sub>y</sub>)膜で覆い、Na<sup>+</sup>イオンをブロックするという方法がある。

この方法の問題点は次のようなものである。第1図に示すようにp型のシリコン基板(以下Si基板と略記)1上にn型層2が存在し、これにV溝が彫られ、その側壁にはSiO<sub>2</sub>膜3が接着し

△△というのとはさほどもびしい条件ではない。

従って本発明はこのような露光技術を利用して  
幅6μm程度のV溝内に水平方向で約3μmの幅の  
Si<sub>1</sub>N<sub>x</sub>膜を選択的に形成する。即ち、半導体基  
板に前面V字型の溝を少なくとも2段半導体領域  
に亘る深さまで形成した後、該V溝の側壁上にSi<sub>1</sub>  
O<sub>x</sub>膜、Si<sub>1</sub>N<sub>x</sub>膜を順次形成し、次いでV溝底  
部近傍のみを残して面記V溝内Si<sub>1</sub>N<sub>x</sub>膜を除去  
した後、ボリSi<sub>1</sub>でV溝内を充填することを特徴  
としている。

第4図に本発明の一実施例の工法を示す。まず、  
同図(a)に示すように $\text{Si}_3\text{N}_4$ 膜10の表面を $\text{SiO}_2$ 、  
膜11と $\text{Si}_3\text{N}_4$ 膜12で覆い、V溝形成層13  
を開く。次にエチアンガによりV溝を形成した後、  
溝内の表面を $\text{SiO}_2$ 膜11で覆う(第4図(b))。  
この $\text{SiO}_2$ 膜11を熱酸化で形成した場合には予  
め $\text{Si}_3\text{N}_4$ 膜12の上に $\text{CCVD}\text{SiO}_2$ 膜を形成し  
ておいて、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{CCVD}\text{SiO}_2$ の順  
層をバーニングしておく。これは後に形成する  
 $\text{Si}_3\text{N}_4$ 膜をバーニングする際、はじめに形成

ている。その上に更に  $Si_3N_4$  膜が基板の水平表面から V 印加面まで連続して被覆形成されると、電子が成る所、基板の水平表面部分の  $Si_3N_4$  膜を除去した場合、第 2 図に示すよう  $Si_3N_4$  膜が過剰にエッチオフされて小孔  $\square$  を生ずることが起る。このような小孔は配線層に断路を生ぜしめる等、障害発生の原因となるので、その形成は極力避けねばならない。

これは図3のよう水平部分  $KSi_3N_4$  層の  
地を形成した場合も同様で、オーバーヘンダフを  
生じ配線の断線の原因となる。なお、図で5はボ  
リ81、6はその表面に形成された  $SiO_2$  保護  
である。

従って  $S1, N_4$  族で  $Na^+$  イオンをプロトクする場合、必要部分にのみ形成し、基板表面まで延ばさないようにすることが必要である。

又、プロキシミティと呼ばれる感光方式では、マスクを感光場から数十μ離して設置し、しかもシャープな像を転写することが可能である。また、位置合せ技術の進歩により、位置合せマージン 1

した  $S_1, N_1$  構 12 を保護する為のものである。  
また図には明示されていないが  $V$  部は高板内の  $P$   
型高板に通する深さに形成されることは当然であ  
る。

次に画板全面に  $Si_3N_4$  膜 1' 2' を被覆形成した後フォトマスクを盛布し、プロキシミティ方式等の非接触型露光法によって V 槽底部にのみフォトマスク 1' 4' を残す。この状態が第 4 図(d)に示されている。続いてドライエッチャングにより、フォトマスク 1' 4' をマスクとするバーニングを行ない、V 槽底部以外の  $Si_3N_4$  膜を除去する。この状態が第 4 図(d)である。

ドライエッチャングはその条件を調整することにより被エッチャング材料に適合させることができるので、その利用によりフォトレジストをマスクとして  $\text{Si}_3\text{N}_4$  膜をバーニングすることができる。V 製膜盤上の  $\text{SiO}_2$  膜が CVD 膜／熱酸化膜の 2 層になっている場合は、このエッチャング工程で  $\text{CVDSiO}_2$  膜までを除去する。

この後、V溝内をボリS1で埋め、表面をボリ

・シューして平坦化し、更にポリSi表面を酸化してSiO<sub>2</sub>層で覆うという、通常のV構造ポリSi分離接合の形成工程に入ることになる(第4図(e))。

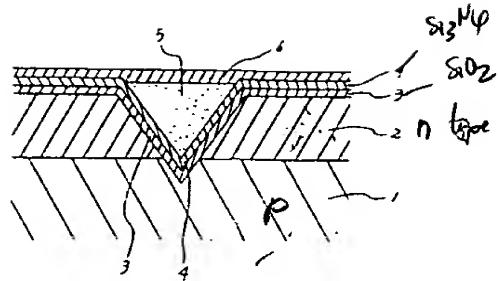
以上説明したように、本発明の方波によれば基板表面部分の  $S_{1,2}N_4$  層とは連続していない  $S_{1,2}N_4$  層で  $V$  電極部を覆う事が可記となり、より  $V$  電極部の  $V$  基アイソレーションに掛けるロチヤネル発生を防止することができる。である。

#### 4. 図面の簡単な説明

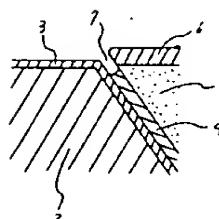
第1図乃至第3図は従来技術を示す図、第4図は本発明の実施例を示す図であって、図に於て1はS1基板p型領域、2は同q型領域、3、6はSiO<sub>2</sub>、4はSi<sub>3</sub>N<sub>4</sub>、5はボリS1、7は導、8はオーバーハング、10はS1基板、11、11'、11''はSiO<sub>2</sub>、12、12'はSi<sub>3</sub>N<sub>4</sub>、13はエーテング窓、14はフォトレジストである。

代理人弁理士 松岡安四郎

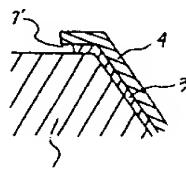
第 1 図



第 2 図



第 3 図



第 4 図

